

Índice de contenidos

Índice de siglas y acrónimos	v
Índice de contenidos	vii
Índice de figuras	xi
Índice de tablas	xv
Resumen	xvii
Abstract	xix
1. Introducción	1
1.1. Repositorio de proyecto	3
2. Hardware e instrumental disponible	5
2.1. Placa de evaluación de conversor analógico digital AD9249	5
2.2. Computadora Abierta Industrial Argentina - Alto Costo Computacional (CIAA-ACC)	9
2.2.1. Xilinx Zynq-7030 SoC	10
2.3. Máquina CNC LPKF ProtoMat S103	14
2.4. Horno de reflujo LPKF ProtoFlow S	14
2.5. Instrumentos de laboratorio	14
3. Emulador de Arreglo	15
3.1. Requerimientos	15
3.2. Diseño	16
3.2.1. Generador de señales RF	18
3.2.2. Divisor de potencia 1 x 16	18
3.2.3. Líneas de retardo	22
3.3. Fabricación y caracterización parcial	26
3.3.1. Divisor de potencia	27
3.3.2. Líneas de retardo	28
3.4. Caracterización y ensayos	31
4. Puesta en marcha	35
4.1. Puesta en marcha CIAA-ACC	35
4.1.1. Entornos de desarrollo	35
4.1.2. Procedimiento de encendido y programación de FPGA	36
4.1.3. Ensayos iniciales	36
4.1.4. Verificación de reguladores y niveles de tensión de bancos	37

4.2.	Interfaz entre CIAA-ACC y AD9249-65EBZ	38
4.2.1.	Mapeo de pines en conector FMC	38
4.2.2.	Estándares eléctricos y definición de nivel de tensión	39
4.3.	Puesta en marcha AD9249	39
4.3.1.	Posición de <i>jumpers</i> para operación	39
4.3.2.	Verificación de adaptación de entradas analógicas	40
4.3.3.	Control por SPI	40
5.	Plataforma de adquisición y procesamiento	45
5.1.	Requerimientos y diseño preliminar	45
5.1.1.	Requerimientos	45
5.1.2.	Diseño conceptual	45
5.1.3.	Requerimientos para PS y PL	46
5.2.	<i>Core</i> de adquisición y procesamiento: Diseño para un canal	48
5.2.1.	Simulador de comportamiento de ADC	48
5.2.2.	Primitivas para manejo de señales de entrada	50
5.2.3.	Retardos de entrada (IDELAY)	52
5.2.4.	Deserializador	53
5.2.5.	Selección de datos e instancias de depuración	54
5.2.6.	Etapas de procesamiento	55
5.2.7.	Cola FIFO	58
5.2.8.	Consolidación de diseño en módulo VHDL	62
5.2.9.	Interfaz AXI de datos y control	63
5.2.10.	Implementación de plataforma de adquisición para un canal	65
5.3.	<i>Software</i> de control y transporte	69
5.3.1.	Estructura de paquete de datos adquiridos	70
5.3.2.	Funciones de control general por AXI	71
5.3.3.	Arquitectura de lectura y transporte	72
5.3.4.	Funciones de control de instancias de preprocesamiento	76
5.3.5.	Funciones de control de retardos de entrada	76
5.3.6.	Sincronización de hora de OS con servidor externo	76
5.4.	<i>Software</i> de servidor externo	76
5.4.1.	Interfaz gráfica para mostrar resultados	79
5.4.2.	<i>Makefile</i> y script principal	79
5.5.	Ensayos de plataforma de un canal	79
5.5.1.	Recepción de datos por bus AXI	80
5.5.2.	Recepción de secuencias de prueba de ADC	82
5.5.3.	Retardos de entrada para sincronización de señales	83
6.	Implementación de plataforma para 16 canales y ensayos	87
6.1.	Adaptación de plataforma de adquisición a 16 canales	87
6.1.1.	Lógica programable	87
6.1.2.	<i>Software</i>	90
6.2.	Ensayos con 16 canales	92
6.2.1.	Ensayo con contador binario	92
6.3.	Ensayos con secuencias de prueba del ADC	95
6.4.	Ensayo con un canal y un tono	95

6.5. Ensayo de sistema con emulador de arreglo	98
7. Trabajo futuro y conclusiones	103
7.1. Trabajo futuro	103
7.1.1. Implementación de etiquetado temporal y disparo en PL	103
7.1.2. Implementación de instancias de procesamiento	104
7.1.3. Utilización de interfaces AXI de alto rendimiento y DMA	104
7.1.4. Dimensionamiento y diseño de arreglo de antenas para aplicación satelital	104
7.1.5. Integración de algoritmos de conformación digital de haz	104
7.1.6. Análisis de escalabilidad	105
7.2. Conclusiones	105
A. Problema con controlador CAN en CIAA-ACC	107
B. Archivo ejemplo de configuración de parámetros de cliente	109
Bibliografía	113
Agradecimientos, reconocimientos y reflexiones	117