

# Índice de contenidos

Índice de símbolos	iii
Índice de contenidos	v
Índice de figuras	vii
Índice de tablas	xi
Resumen	xiii
Abstract	xv
<b>1. Introducción</b>	<b>1</b>
1.1. Redes ópticas pasivas . . . . .	2
1.1.1. Formatos de modulación . . . . .	3
1.1.2. Receptor . . . . .	3
<b>2. Introducción a los sistemas ópticos con modulación DPSK</b>	<b>5</b>
2.1. Principios del formato de modulación DPSK . . . . .	5
2.1.1. Modulador . . . . .	6
2.1.2. Receptor . . . . .	7
2.2. Simulación del formato de modulación DPSK . . . . .	10
2.3. Análisis del MZI para <i>front-end</i> de DPSK . . . . .	13
2.3.1. Desbalance de los acopladores . . . . .	13
2.3.2. Dependencia del retardo con la temperatura . . . . .	14
2.3.3. Efecto de la diferencia de Polarización . . . . .	15
2.4. Conclusiones . . . . .	15
<b>3. Diseño del Fotodetector Balanceado</b>	<b>17</b>
3.1. Conceptos básicos . . . . .	17
3.1.1. Responsividad . . . . .	17
3.1.2. Ancho de banda . . . . .	18
3.1.3. Tipos de fotodiodos . . . . .	19

3.1.4.	Fotodetector balanceado . . . . .	20
3.2.	Diseño del Fotodetector balanceado . . . . .	21
3.2.1.	Requerimientos . . . . .	21
3.2.2.	Caracterización de los fotodiodos . . . . .	22
3.2.3.	Circuito de polarización del fotodetector balanceado . . . . .	23
3.2.4.	Implementación . . . . .	24
3.3.	Mediciones . . . . .	24
3.3.1.	Mediciones en baja frecuencia . . . . .	25
3.3.2.	Mediciones en alta frecuencia . . . . .	27
3.4.	Conclusiones . . . . .	27
<b>4.</b>	<b>Receptor digital</b>	<b>29</b>
4.1.	Etapas en la recepción digital . . . . .	29
4.1.1.	Sincronismo de bit basado en el método SCCL . . . . .	30
<b>5.</b>	<b>Implementación del receptor digital</b>	<b>33</b>
5.1.	Diagrama funcional del receptor . . . . .	33
5.2.	Implementación del sistema en Matlab . . . . .	35
5.2.1.	Porcentaje de tiempo sincronizado . . . . .	36
5.2.2.	Tiempo medio para sincronizar . . . . .	38
5.2.3.	Variaciones en el desplazamiento . . . . .	39
<b>6.</b>	<b>Desarrollo del receptor digital en FPGA</b>	<b>41</b>
6.1.	Sobre la FPGA utilizada . . . . .	41
6.2.	Receptor digital en FPGA . . . . .	42
6.2.1.	Diseño del bloque receptor . . . . .	43
6.2.2.	Diseño del bloque contador de errores . . . . .	45
6.2.3.	Adquisición de datos . . . . .	45
6.3.	Mediciones . . . . .	46
6.3.1.	Esquema experimental . . . . .	46
6.4.	Resultados . . . . .	47
<b>7.</b>	<b>Trabajo futuro</b>	<b>49</b>
7.1.	Implementación del receptor digital en FPGA . . . . .	49
7.2.	Receptor digital para comunicaciones ópticas . . . . .	49
7.2.1.	Mediciones . . . . .	52
<b>8.</b>	<b>Conclusiones generales</b>	<b>55</b>